

(12)

DEMANDE DE BREVET EUROPEEN

(43) Date de publication:  
12.09.2001 Bulletin 2001/37

(51) Int Cl.7: H03L 7/197, H03L 7/081

(21) Numéro de dépôt: 01200808.2

(22) Date de dépôt: 05.03.2001

(84) Etats contractants désignés:  
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE TR  
Etats d'extension désignés:  
AL LT LV MK RO SI

(30) Priorité: 10.03.2000 FR 0003134

(71) Demandeur: Koninklijke Philips Electronics N.V.  
5621 BA Eindhoven (NL)

(72) Inventeurs:  
• Canard, David  
75008 Paris (FR)  
• Fillatre, Vincent  
75008 Paris (FR)

(74) Mandataire: Chaffraix, Jean  
Société Civile S.P.I.D.  
156, Boulevard Haussmann  
75008 Paris (FR)

(54) Boucle à verrouillage de phase permettant de générer un signal de référence ayant une grande pureté spectrale

(57) La présente invention concerne une boucle à verrouillage de phase, incluant:

- un oscillateur (OSC) destiné à produire un signal de sortie Vlo,
- un diviseur de fréquence (DIV) destiné à recevoir le signal de sortie Vlo de l'oscillateur (OSC), et
- un détecteur de phase/fréquence (PD) destiné à comparer la fréquence Fdiv du signal de sortie Vdiv du diviseur (DIV) avec celle d'un signal de comparaison (Vcomp), et à délivrer à l'oscillateur (OSC) un signal de réglage (Vtun) définissant sa fréquence d'oscillation.

Une boucle à verrouillage de phase selon l'inven-

tion est munie de moyens de correction (PMOD) destinés à détecter une modulation de phase parasite appliquée au signal de sortie (Vlo) de l'oscillateur (OSC), et à appliquer au signal de comparaison (Vcomp) une modulation de phase similaire à ladite modulation de phase parasite.

L'invention permet d'utiliser un diviseur de fréquence fractionnel-N, et donc de limiter le bruit généré par la boucle, sans pour autant altérer la pureté spectrale du signal de sortie (Vlo) de l'oscillateur (OSC).

Application :

Syntoniseurs  
pour récepteurs  
de signaux de té-  
lévision et radio-  
téléphones.

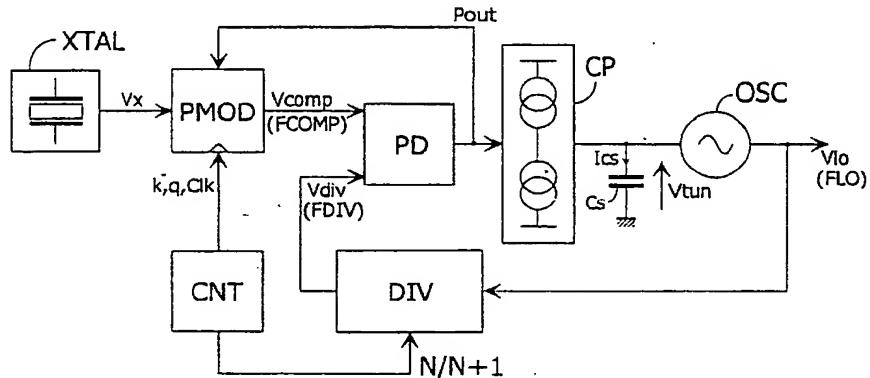


FIG.2

**Description**

[0001] La présente invention concerne une boucle à verrouillage de phase, incluant :

- un oscillateur destiné à produire un signal de sortie ayant une fréquence d'oscillation dont la valeur dépend de celle d'un signal de réglage,
- un diviseur de fréquence destiné à recevoir le signal de sortie de l'oscillateur et à délivrer un signal de sortie ayant un fréquence R fois inférieure à la fréquence d'oscillation, et
- un détecteur de phase/fréquence destiné à comparer la fréquence du signal de sortie du diviseur avec une fréquence, dite de comparaison, d'un signal de comparaison, et à délivrer à l'oscillateur le signal de réglage dont la valeur est représentative du résultat de la comparaison.

[0002] Une telle boucle à verrouillage de phase est décrite dans la demande de brevet européen No. EP 0 821 488 A1. Dans la plupart des boucles à verrouillage de phase connues, le diviseur de fréquence reçoit le signal de sortie de l'oscillateur et délivre à un comparateur de phase/fréquence un signal de sortie ayant une fréquence N fois inférieure à la fréquence d'oscillation, où N est une valeur entière égale à celle d'un mot de consigne. Le comparateur phase/fréquence compare cette fréquence avec une fréquence, dite de comparaison, d'un signal de comparaison qui provient, par exemple, d'un oscillateur à quartz. Lorsque la fréquence de sortie du diviseur de fréquence est inférieure à la fréquence de comparaison, le comparateur phase/fréquence commande une augmentation de la fréquence d'oscillation, jusqu'à ce que la fréquence d'oscillation soit égale à N fois la fréquence de comparaison. La valeur de la fréquence de comparaison étant fixée, le choix de la valeur N du mot de consigne détermine la valeur de la fréquence d'oscillation. L'écart minimum entre deux valeurs de la fréquence d'oscillation est donc égal à la valeur de la fréquence de comparaison. Il a été constaté que les performances en bruit d'une boucle à verrouillage de phase sont d'autant meilleures que la fréquence de comparaison est élevée. Néanmoins, choisir une fréquence de comparaison élevée revient à augmenter la valeur de l'écart minimum entre deux valeurs de la fréquence d'oscillation, cet écart étant, lui, déterminé par les conditions dans lesquelles la boucle à verrouillage de phase est employée. Ainsi, dans des applications où le signal de sortie de l'oscillateur est utilisé pour la réception de signaux télévision numériques hertziens, cet écart minimum est pré-déterminé et fixé à 166,67kHz par la norme OFDM.

Pour maintenir un écart minimum constant tout en augmentant la valeur de la fréquence de comparaison, il est alors nécessaire d'utiliser un diviseur de fréquence dont le rapport de division a une valeur non-entière. De tels diviseurs de fréquence sont connus sous l'appellation

«fractionnel-N». Leur rapport de division est déterminé par au moins deux paramètres.

Pour un grand nombre de diviseurs de type fractionnel-N connus, le rapport de division R peut s'exprimer sous la forme  $R=N+k/q$ , où N et k sont des premier et deuxième paramètres entiers, q étant un troisième paramètre entier dont la valeur est pré-déterminée par la valeur de l'écart minimum entre deux fréquences d'oscillation, qui doit être maintenu constant. Ainsi,  $q=FCOMP/FSTEP$ , où FCOMP est la fréquence de comparaison choisie et FSTEP l'écart minimum.

De tels diviseurs de fréquence opèrent une division par N pendant q-k cycles de fonctionnement de la boucle à verrouillage de phase, un cycle de fonctionnement correspondant à une période du signal de sortie du diviseur de fréquence, puis une division par N+1 pendant k cycles de fonctionnement de ladite boucle. Ainsi, la valeur moyenne du rapport de division sur q cycles de la boucle à verrouillage de phase est égale à  $N+k/q$ .

20 Un régime d'équilibre de la boucle à verrouillage de phase est défini comme étant celui au cours duquel est vérifiée la relation suivante :  $FDIV=FLO/R=FCOMP$ , où FDIV est la fréquence du signal de sortie du diviseur de fréquence, et FLO et FCOMP sont respectivement les fréquences d'oscillation et de comparaison.

Cela signifie qu'à l'issue de q cycles de fonctionnement de la boucle à verrouillage de phase, le signal de sortie du diviseur de fréquence et le signal de comparaison doivent être en phase et avoir des fréquences égales, c'est-à-dire qu'à l'issue de q cycles de fonctionnement, aucune correction ne doit être en principe apportée à la valeur de la fréquence d'oscillation.

Or, on constate en réalité qu'à l'issue de chaque cycle au cours duquel le rapport de division du diviseur de fréquence est égal à N, le signal de sortie du diviseur de fréquence présente un déphasage par rapport au signal de comparaison, puisque sa fréquence FDIV est légèrement plus élevée que la fréquence de comparaison FCOMP, FDIV étant égale à  $FLO/N$ , tandis que  $FCOMP=FLO/(N+k/q)$ .

40 Bien que de tels déphasages se trouvent théoriquement compensés lors des cycles au cours desquels le rapport de division du diviseur de fréquence est égal à N+1, en pratique, tout déphasage est détecté par le détecteur de phase/fréquence qui provoque automatiquement une correction inutile et interpestive de la valeur de la fréquence d'oscillation. De telles corrections génèrent une modulation de phase parasite du signal de sortie de l'oscillateur autour de sa fréquence d'oscillation centrale, c'est-à-dire que la valeur instantanée de la fréquence d'oscillation varie au cours du régime d'équilibre.

Or, une boucle à verrouillage de phase a pour principale fonction de générer un signal ayant une fréquence d'oscillation précisément définie destiné à être utilisé comme référence, par exemple par des convertisseurs de fréquence inclus dans des syntoniseurs destinés à la réception de signaux radioélectriques, au sein de téléviseurs ou des radiotéléphones, entre autres applica-

tions possibles.

Un signal entaché d'une modulation de phase parasite est impropre à un tel usage.

[0003] La présente invention a pour but de remédier dans une large mesure à cet inconvénient, en proposant une boucle à verrouillage de phase qui offre de bonnes performances en bruit grâce à l'utilisation d'un diviseur de fréquence fractionnel-N, sans pour autant que ledit diviseur n'introduise une modulation de phase parasite dans le signal de sortie de l'oscillateur dont la fréquence d'oscillation est régulée par la boucle.

[0004] En effet, selon l'invention, une boucle à verrouillage de phase conforme au paragraphe introductif est munie de moyens de correction destinés à détecter une modulation de phase parasite appliquée au signal de sortie de l'oscillateur, et à appliquer au signal de comparaison une modulation de phase similaire à ladite modulation de phase parasite.

[0005] Dans la boucle à verrouillage de phase conforme à l'invention, les signaux d'entrée du détecteur de phase/fréquence sont rendus synchrones pendant le régime d'équilibre. Le détecteur de phase/fréquence ne provoque donc plus de corrections intempestives, ce qui conduit à la disparition de la modulation de phase parasite du signal de sortie de l'oscillateur.

[0006] Il est à noter en outre que l'invention permet l'élimination de la modulation parasite à l'intérieur même de la boucle à verrouillage de phase, de façon automatique et sans nécessité d'aucune intervention extérieure.

[0007] Dans un mode de réalisation particulier de l'invention, les moyens de correction incluent :

- des moyens de stockage pour mémoriser la valeur prise par le signal de réglage à l'issue de q cycles de la boucle à verrouillage de phase, et
- des moyens de déphasage pour appliquer au signal de comparaison, à chaque ième (pour  $i=1$  à  $q$ ) cycle de la boucle à verrouillage de phase, un déphasage dont la valeur est déterminée par le produit entre la valeur mémorisée par les moyens de stockage et un coefficient  $L(i)$  propre au cycle considéré.

[0008] Dans ce mode de réalisation, une valeur non-nulle du signal de réglage à l'issue de q cycles de fonctionnement de ladite boucle signale l'existence d'une modulation de phase parasite du signal de sortie de l'oscillateur. La valeur de ce signal de réglage conditionne l'ampleur des déphasages à imprimer au signal de comparaison afin qu'il soit affecté d'une modulation de phase identique à la modulation de phase parasite. Au fil du temps, l'ampleur de la modulation parasite diminue, du fait de la correction ainsi effectuée, ce qui implique une diminution graduelle de la valeur mémorisée par les moyens de stockage, et donc une diminution automatique, du fait de la nature particulière des moyens de déphasage décrits ci-dessus, de l'ampleur des corrections apportées à la phase du signal de comparaison. Lors-

que la valeur devient nulle, plus aucune correction n'est appliquée au signal de comparaison.

[0009] Les moyens de déphasage décrits ci-dessus permettent d'appliquer au signal de comparaison, au cours de chaque cycle de fonctionnement de la boucle à verrouillage de phase, un déphasage tel que le signal de comparaison ainsi obtenu et le signal de sortie du diviseur de fréquence soient en phase à l'issue dudit cycle, quelle que soit la valeur du rapport de division au cours de ce cycle. En effet, la valeur du coefficient  $L(i)$  est déterminée pour chaque cycle en tenant compte du rapport de division utilisé au cours de ce cycle. Les valeurs des coefficients  $L(i)$  seront avantageusement choisies au moyens des relations :

15

$$L(i)=L(i-1)+k, \text{ si } L(i-1) < q, \text{ et}$$

20

$$L(i)=L(i-1)-q, \text{ si } L(i-1) > q:$$

25

[0010] De multiples modes de réalisation des moyens de déphasage sont envisageables et à la portée de l'homme du métier. Un mode de réalisation particulièrement avantageux tire parti du fait que le signal de comparaison, provenant le plus souvent d'un oscillateur à quartz ayant de caractéristiques bien identifiées, présente une allure linéaire au voisinage de la valeur zéro, les passages par zéro du signal de comparaison constituant les événements par rapport auxquels des fronts du signal de sortie du diviseur de fréquence sont comparés.

30

Un décalage en tension du signal de comparaison provoque alors un décalage temporel desdits passages par zéro, décalage dont la valeur est proportionnelle à celle du décalage en tension. Dans ce mode de réalisation de l'invention, les moyens de déphasage seront donc avantageusement agencés pour appliquer au signal de comparaison, au cours de chaque ième (pour  $i=1$  à  $q$ ) cycle de la boucle, un décalage en tension dont l'ampleur est proportionnelle à  $L(i)$  fois la valeur mémorisée par les moyens de stockage.

35

[0011] On a vu précédemment que des boucles à verrouillage de phase utilisant un diviseur de fréquence fractionnel-N sont avantageusement mises en oeuvre pour générer des signaux de référence permettant des conversions de fréquence, tout en offrant de bonnes performances en bruit, dans certaines applications où l'écart minimum séparant deux fréquences d'oscillation a une valeur imposée. Dans un mode de mise en oeuvre de telles boucles à verrouillage de phase, l'invention concerne donc un appareil destiné à la réception de signaux radioélectriques, par exemple un téléviseur ou un radiotéléphone, incluant :

40

50

.un étage d'entrée destiné à recevoir un signal radioélectrique et à convertir ledit signal en un signal de sortie électronique ayant une fréquence dite fré-

quence radio,

- une boucle à verrouillage de phase telle que décrite plus haut, destinée à ajuster la fréquence d'oscillation du signal de sortie d'un oscillateur, et
- un mélangeur destiné à recevoir les signaux de sortie du système d'antenne et de l'oscillateur, et à délivrer un signal ayant une fréquence égale à la différence entre la fréquence radio et la fréquence d'oscillation.

[0012] L'invention sera mieux comprise à l'aide de la description suivante, faite à titre d'exemple non-limitatif et en regard des dessins annexés, dans lesquels :

- la figure 1 est un schéma fonctionnel partiel décrivant un appareil récepteur de signaux radioélectriques mettant en oeuvre l'invention,
- la figure 2 est un schéma fonctionnel décrivant une boucle à verrouillage de phase selon l'invention, et
- la figure 3 est un schéma fonctionnel décrivant des moyens de correction inclus dans un boucle à verrouillage de phase conforme à un mode de réalisation préféré de l'invention.

[0013] La figure 1 représente schématiquement un appareil récepteur de signaux radioélectriques, par exemple un récepteur de signaux de télévision, comportant un étage d'entrée AF, par exemple un système d'antenne et de filtrage, permettant la réception d'un signal dont la fréquence est sélectionnée au sein d'une gamme de fréquences donnée, et sa transformation en un signal électronique Vfr dit signal radio, ayant une fréquence FR appelée fréquence radio, appareil dans lequel une conversion de fréquence, à partir de la fréquence FR sélectionnée vers une fréquence intermédiaire FI pré-déterminée, est réalisée au moyen d'un mélangeur MX destiné à recevoir le signal radio Vfr, d'une part, et le signal de sortie Vlo d'un oscillateur local OSC.

La fréquence intermédiaire FI est fixée et est égale à la différence entre la fréquence radio FR et la fréquence d'oscillation FLO du signal de sortie Vlo du premier oscillateur local OSC. Le choix de ladite fréquence d'oscillation FLO détermine donc la valeur de la fréquence radio FR sélectionnée.

Dans cet appareil, la fréquence d'oscillation FLO du signal de sortie Vlo du premier oscillateur local OSC est déterminée par un signal de réglage Vtun délivré par un module de réglage PLL, qui forme avec l'oscillateur local OSC une boucle à verrouillage de phase.

[0014] La figure 2 décrit plus en détail cette boucle à verrouillage de phase, qui comporte :

- l'oscillateur local OSC destiné à délivrer le signal de sortie Vlo dont la fréquence FLO est déterminée par la valeur d'un signal de réglage Vtun,
- un diviseur de fréquence DIV, destiné à recevoir le signal de sortie Vlo de l'oscillateur local OSC, et à délivrer un signal de sortie Vdiv ayant une fréquence

ce FDIV, un mot de consigne N/N+1 fourni par un module de contrôle CNT déterminant pour chaque cycle de la boucle la valeur instantanée du rapport de la division de fréquence effectuée par le diviseur DIV,

un détecteur de phase/fréquence PD, destiné à comparer la fréquence FDIV du signal de sortie Vdiv du diviseur de fréquence DIV avec une fréquence de comparaison FCOMP d'un signal de comparaison Vcomp, provenant dans cet exemple d'un oscillateur à quartz XTAL, et à délivrer un signal de commande Pout représentatif du résultat de ladite comparaison, et

une pompe de charge CP dont la conduction est destinée à être contrôlée par le signal de commande Pout, une sortie de la pompe de charge CP étant reliée à une capacité Cs destinée à générer à ses bornes le signal de réglage Vtun, qui est donc constitué ici par une tension.

Si la fréquence d'oscillation FLO du premier oscillateur local OSC est inférieure à R fois la fréquence FCOMP du signal de comparaison Vcomp, le signal de commande Pout est positif, ce qui ordonne à la pompe de charge

CP de délivrer un courant Ics positif. Ce courant, transmis à la capacité Cs, provoque un accroissement de la valeur de la tension de réglage Vtun prélevée aux bornes de la capacité Cs, et donc un accroissement de la fréquence d'oscillation FLO. Lorsque la fréquence d'oscillation FLO devient supérieure à celle du signal de comparaison Vcomp, le signal de commande Pout devient négatif, ce qui provoque une inversion du sens du courant Ics, qui devient négatif. Ce courant négatif, transmis à la capacité Cs, provoque une diminution de

la valeur de la tension de réglage Vtun prélevée aux bornes de la capacité Cs, et donc une diminution de la fréquence d'oscillation FLO. La boucle à verrouillage de phase tendra vers un régime d'équilibre, dans lequel  $FLO=R.FDIV=R.FCOMP$ .

Le diviseur de fréquence DIV est ici un diviseur du type «fractionnel-N», dont le rapport de division R entre la fréquence FLO de son signal d'entrée Vlo et la fréquence FDIV de son signal de sortie Vdiv s'exprime le plus souvent sous la forme  $R=FLO/FDIV=N+k/q$ , où N, k et q sont des paramètres entiers. En réalité, de tels diviseurs de fréquence opèrent une division par N pendant q-k cycles de fonctionnement de la boucle à verrouillage de phase, un cycle de fonctionnement correspondant à une période du signal Vdiv de sortie du diviseur de fréquence DIV, puis une division par N+1 pendant k cycles de fonctionnement de ladite boucle. Ainsi, la valeur moyenne du rapport de division sur q cycles de la boucle à verrouillage de phase est égale à  $N+k/q$ . La valeur du paramètre q est pré-déterminée par la valeur de l'écart minimum entre deux fréquences d'oscillation, qui doit être maintenu constant. Ainsi,  $q=FCOMP/FSTEP$ , où FCOMP est la fréquence de comparaison choisie et FSTEP l'écart minimum. Dans l'exemple des signaux de

55

la valeur moyenne du rapport de division sur q cycles de la boucle à verrouillage de phase est égale à  $N+k/q$ . La valeur du paramètre q est pré-déterminée par la valeur de l'écart minimum entre deux fréquences d'oscillation, qui doit être maintenu constant. Ainsi,  $q=FCOMP/FSTEP$ , où FCOMP est la fréquence de comparaison choisie et FSTEP l'écart minimum. Dans l'exemple des signaux de

télévision numériques hertziens cités plus haut, FS-TEP=166,67kHz, ce qui impliquera que  $q=24$  si l'on choisit FCOMP=4MHz.

Un régime d'équilibre de la boucle à verrouillage de phase est défini comme étant celui au cours duquel est vérifiée la relation suivante :  $FDIV=R.FLO=FCOMP$ . Cela signifie qu'à l'issue de  $q$  cycles de fonctionnement de la boucle à verrouillage de phase, le signal de sortie  $Vdiv$  du diviseur de fréquence DIV et le signal de comparaison  $Vcomp$  doivent être en phase et avoir des fréquences égales, c'est-à-dire qu'à l'issue de  $q$  cycles de fonctionnement, aucune correction ne doit être en principe apportée à la valeur de la fréquence d'oscillation  $FLO$ . Or, on constate en réalité dans les boucles à verrouillage de phase connues qu'à l'issue de chaque cycle au cours duquel le rapport de division  $R$  du diviseur de fréquence DIV est égal à  $N$ , le signal de sortie  $Vdiv$  du diviseur de fréquence DIV présente un déphasage par rapport au signal de comparaison  $Vcomp$ , puisque sa fréquence  $FDIV$  est légèrement plus élevée que la fréquence de comparaison  $FCOMP$ ,  $FDIV$  étant égale à  $FLO/N$  tandis que  $FCOMP=FLO/(N+k/q)$ . Bien que de tels déphasages se trouvent théoriquement compensés lors des cycles au cours desquels le rapport de division  $R$  du diviseur de fréquence DIV est égal à  $N+1$ , en pratique, tout déphasage est détecté par le détecteur de phase/fréquence PD qui provoque automatiquement une correction inutile et intempestive de la valeur de la fréquence d'oscillation  $FLO$ . De telles corrections génèrent une modulation de phase parasite du signal de sortie  $Vlo$  de l'oscillateur OSC autour de sa fréquence d'oscillation centrale  $FLO$ , c'est-à-dire que la valeur instantanée de la fréquence d'oscillation  $FLO$  varie au cours du régime d'équilibre. Or la boucle à verrouillage de phase a pour fonction de générer un signal  $Vlo$  ayant une fréquence d'oscillation  $FLO$  servant de référence pour la sélection d'une fréquence radio  $FR$ , ainsi qu'exposé précédemment.

La boucle à verrouillage de phase selon l'invention contient donc des moyens de correction PMOD destinés à détecter une modulation de phase parasite appliquée au signal de sortie  $Vlo$  de l'oscillateur, et à appliquer au signal de comparaison  $Vcomp$  une modulation de phase similaire à ladite modulation de phase parasite.

[0015] La figure 3 décrit un mode de réalisation préféré des moyens de correction PMOD. Ces moyens contiennent :

des moyens de stockage (CP1, Cs1) pour mémoriser la valeur  $Vt1$  prise par le signal de réglage à l'issue de  $q$  cycles de la boucle à verrouillage de phase, et

des moyens de déphasage (RL, Rk, Rq, MULT, FOL), pour appliquer au signal de comparaison  $Vcomp$ , à chaque ième (pour  $i=1$  à  $q$ ) cycle de la boucle à verrouillage de phase, un déphasage dont la valeur est déterminée par le produit entre la valeur  $Vt1$  mémorisée par les moyens de stockage

(CP1, Cs1) et un coefficient  $L(i)$  propre au cycle considéré.

Les moyens de stockage sont ici constitués par une pompe de charge CP1 identique à la pompe de charge CP décrite précédemment, destinée à charger ou à décharger une capacité Cs1 identique à capacité Cs décrite précédemment, en fonction de la valeur du signal de commande Pout généré par le détecteur de phase/fréquence PD. La tension  $Vt1$  ainsi générée aux bornes de la capacité Cs1 est donc théoriquement identique au signal de réglage  $Vtun$ . Les moyens de déphasage comportent trois registres RL, Rk et Rq, destinés à être rechargés lorsqu'un signal d'horloge Clk, fourni par le module de contrôle CNT représenté à la figure 2, présente un front actif, par exemple un front montant. Les registres Rk et Rq reçoivent de la part du module de contrôle les valeurs des paramètres  $k$  et  $q$ . Le registre RL contient, lui, la valeur du coefficient  $L(i)$  pour le cycle en cours. Les moyens de déphasage contiennent en outre un additionneur numérique ADD, destiné à recevoir sur une entrée la valeur du coefficient  $L(i)$ , et sur une autre entrée la valeur du paramètre  $k$ . Les moyens de déphasage contiennent de plus un soustracteur numérique SUB, destiné à recevoir sur une entrée la valeur du coefficient  $L(i)$ , et sur une autre entrée la valeur du paramètre  $q$ . Les moyens de déphasage contiennent également un multiplexeur numérique MUX dont deux entrées de données sont reliées aux sorties de l'additionneur ADD et du soustracteur SUB, et dont une sortie de données est reliée au registre RL. Au cours de chaque ième cycle (pour  $i=1$  à  $q$ ) de fonctionnement de la boucle à verrouillage de phase, un comparateur numérique CMP compare la valeur du troisième paramètre  $q$  à celle du coefficient  $L(i)$  correspondant au ième cycle, et délivre au multiplexeur MUX un signal de sélection Sel représentatif du résultat de la comparaison. Si  $L(i) < q$ , le signal de sélection Sel est à l'état inactif, par exemple au niveau logique 0, et c'est la sortie de l'additionneur ADD qui est reliée au registre RL via le multiplexeur MUX. Inversement, si  $L(i) > q$ , le signal de sélection Sel est à l'état actif, par exemple au niveau logique 1, et c'est la sortie du soustracteur SUB qui est reliée au registre RL via le multiplexeur MUX. Au début du cycle suivant  $i+1$ , le module de contrôle imprime un front actif au signal d'horloge Clk, et le registre RL mémorise un nouveau coefficient  $L(i+1)$  adapté à ce cycle, dont la valeur est la valeur du signal présent à la sortie du multiplexeur MUX. La valeur de chaque coefficient  $L(i)$  (pour  $i=1$  à  $q$ ) est déterminée par les relations :

$$L(i)=L(i-1)+k, \text{ si } L(i-1) < q, \text{ et}$$

$$L(i)=L(i-1)-q, \text{ si } L(i-1) > q.$$

Un multiplicateur MULT effectue une multiplication entre la valeur Vt1 mémorisée par les moyens de stockage (CP1, Cs1) et la valeur du coefficient L(i) pour le cycle en cours. Le résultat de cette multiplication détermine la valeur d'un courant Imod produit par une source de courant variable IM, laquelle sera construite de sorte que  $Imod=M.L(i).Vt1$ , où M est une constante intrinsèque à la liaison entre le multiplicateur MULT et la source de courant IM.

Le signal de comparaison Vcomp provient d'un oscillateur à quartz via un étage suiveur FOL, contenant un transistor TF, destiné à recevoir sur sa base le signal de sortie Vx de l'oscillateur à quartz, et une résistance RF, reliée à la source de courant IM. La résistance RF produit alors un décalage en tension  $VO=RF.Imod=RF.M.L(i).Vt1$ , dont l'ampleur est donc proportionnelle à  $L(i)$  fois la valeur Vt1 mémorisée par les moyens de stockage (CP1, Cs1).

Du fait que le signal de sortie Vx de l'oscillateur à quartz présente une allure linéaire au voisinage de la valeur zéro, un décalage en tension du signal de comparaison Vcomp provoque un décalage temporel des passages par zéro dudit signal, passages par zéro qui constituent les événements par rapport auxquels des fronts du signal de sortie du diviseur de fréquence sont comparés. La valeur du coefficient L(i) étant déterminée pour chaque cycle en tenant compte du rapport de division utilisé au cours de ce cycle, le déphasage ainsi imprimé au signal de comparaison Vcomp est tel que ledit signal sera systématiquement en phase avec le signal de sortie du diviseur de fréquence à l'issue de chaque cycle, quelle que soit la valeur du rapport de division au cours de ce cycle.

[0016] D'autres modes de réalisation des moyens de correction sont envisageables, qui peuvent faire appel à des éléments extérieurs à la boucle à verrouillage de phase, mais l'exemple décrit ci-dessus présente l'avantage d'opérer une correction au sein même de la boucle à verrouillage de phase, d'une manière transparente pour son utilisateur.

## Revendications

### 1. Boucle à verrouillage de phase, incluant :

- un oscillateur destiné à produire un signal de sortie ayant une fréquence d'oscillation dont la valeur dépend de celle d'un signal de réglage,
- un diviseur de fréquence destiné à recevoir le signal de sortie de l'oscillateur et à délivrer un signal de sortie ayant une fréquence R fois inférieure à la fréquence d'oscillation, et
- un détecteur de phase/fréquence destiné à comparer la fréquence du signal de sortie du diviseur avec une fréquence, dite de comparaison, d'un signal de comparaison, et à délivrer à l'oscillateur le signal de réglage dont la valeur

est représentative du résultat de la comparaison, boucle à verrouillage de phase **caractérisée en ce que** elle est munie de moyens de correction destinés à détecter une modulation de phase parasite appliquée au signal de sortie de l'oscillateur, et à appliquer au signal de comparaison une modulation de phase similaire à la dite modulation de phase parasite.

5 2. Boucle à verrouillage de phase selon la revendication 1 dans laquelle le rapport de division du diviseur de fréquence peut être exprimé sous la forme  $R=N+k/q$ , où N, k et q sont des paramètres entiers, **caractérisée en ce que** les moyens de correction incluent :

10 . des moyens de stockage pour mémoriser la valeur prise par le signal de réglage à l'issue de q cycles de la boucle à verrouillage de phase, et . des moyens de déphasage pour appliquer au signal de comparaison, à chaque ième (pour i=1 à q) cycle de la boucle à verrouillage de phase, un déphasage dont la valeur est déterminée par le produit entre la valeur mémorisée par les moyens de stockage et un coefficient L(i) propre au cycle considéré.

15 3. Boucle à verrouillage de phase selon la revendication 2, **caractérisée en ce que** la valeur de chaque coefficient L(i) (pour i=1 à q) est déterminée par les relations :

$$L(i)=L(i-1)+k, \text{ si } L(i-1) < q, \text{ et}$$

$$L(i)=L(i-1)-q, \text{ si } L(i-1) > q.$$

20 4. Boucle à verrouillage de phase selon la revendication 2, **caractérisée en ce que** les moyens de déphasage sont agencés pour appliquer au signal de comparaison, au cours de chaque ième (pour i=1 à q) cycle de la boucle, un décalage en tension dont l'ampleur est proportionnelle à  $L(i)$  fois la valeur mémorisée par les moyens de stockage.

25 5. Appareil destiné à la réception de signaux radioélectriques, incluant :

30 . un étage d'entrée destiné à recevoir un signal radioélectrique et à convertir ledit signal en un signal de sortie électronique ayant une fréquence dite fréquence radio,

35 . une boucle à verrouillage de phase conforme à la revendication 1, destinée à ajuster la fréquence d'oscillation du signal de sortie d'un oscillateur, et

40 . un mélangeur destiné à recevoir les signaux de

sortie de l'étage d'entrée et de l'oscillateur, et à délivrer un signal ayant une fréquence égale à la différence entre la fréquence radio et la fréquence d'oscillation.

5

10

15

20

25

30

35

40

45

50

55

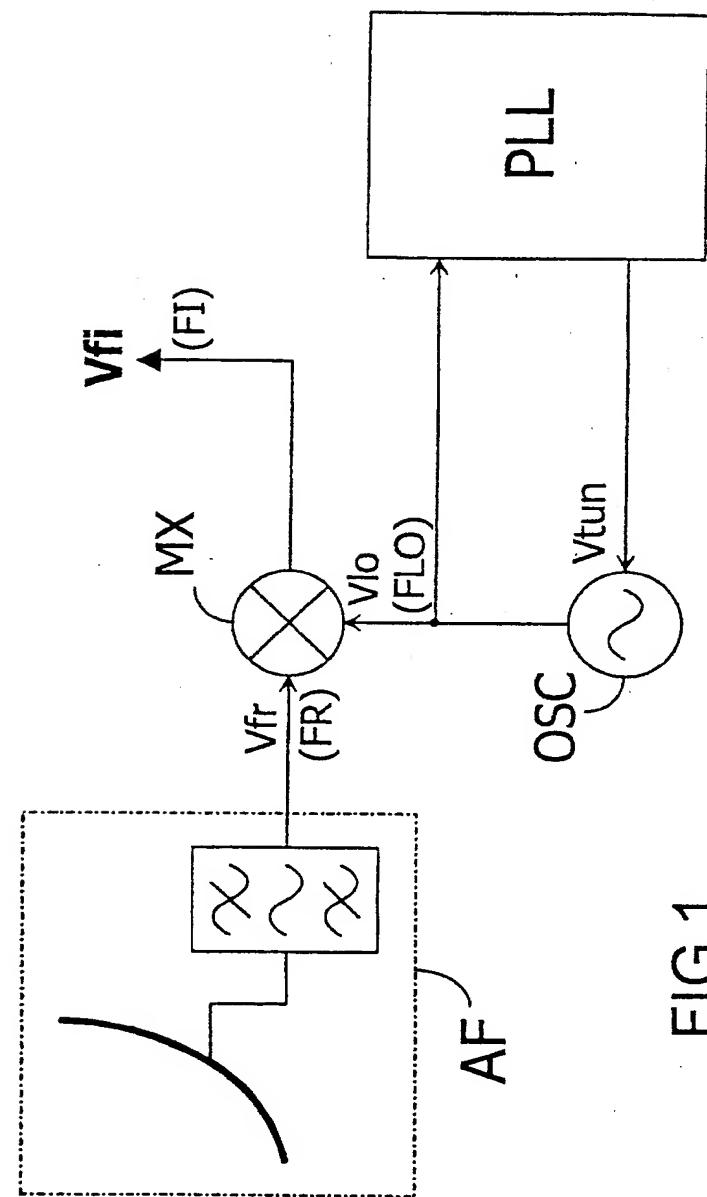


FIG.1

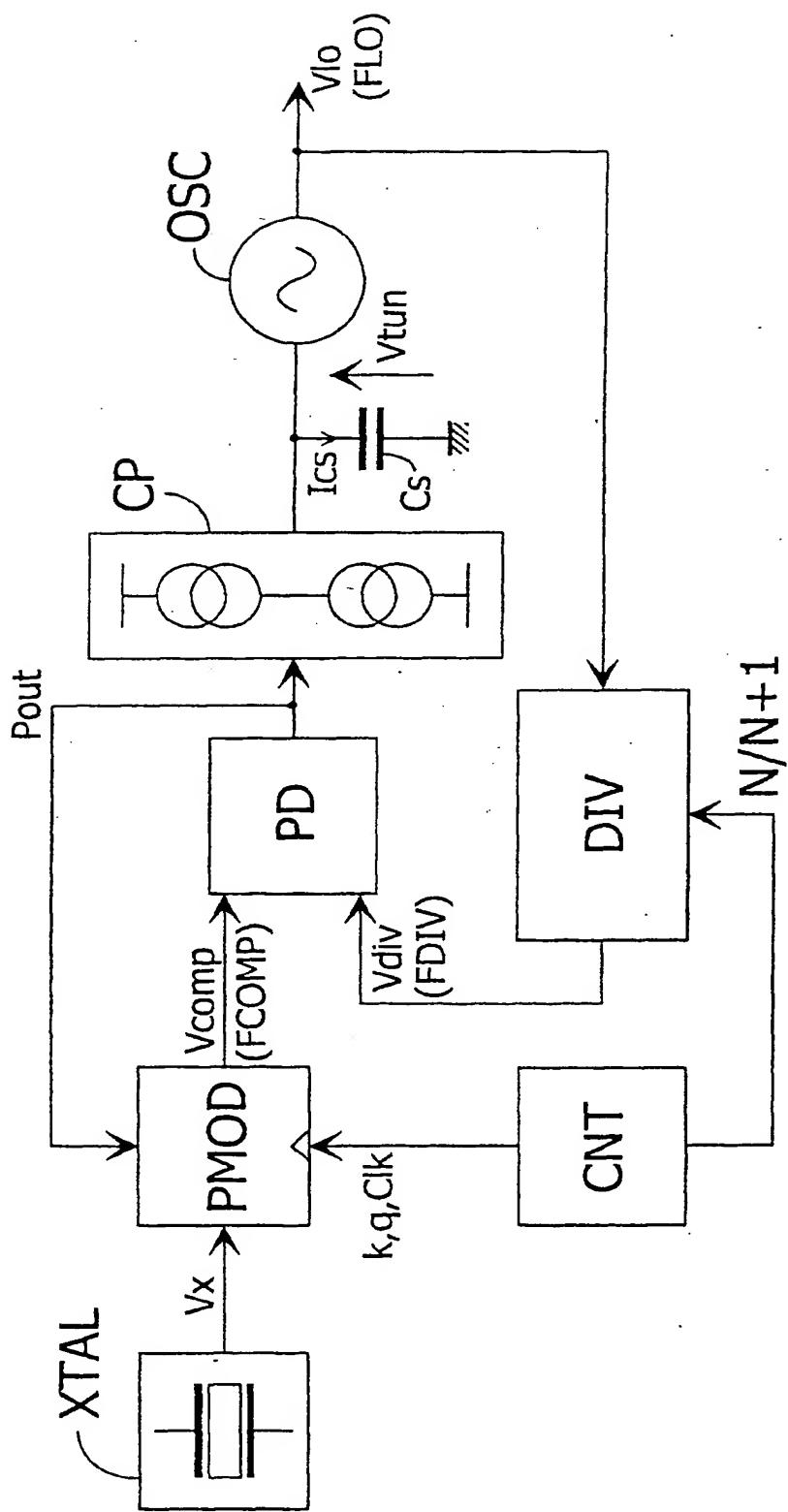


FIG.2

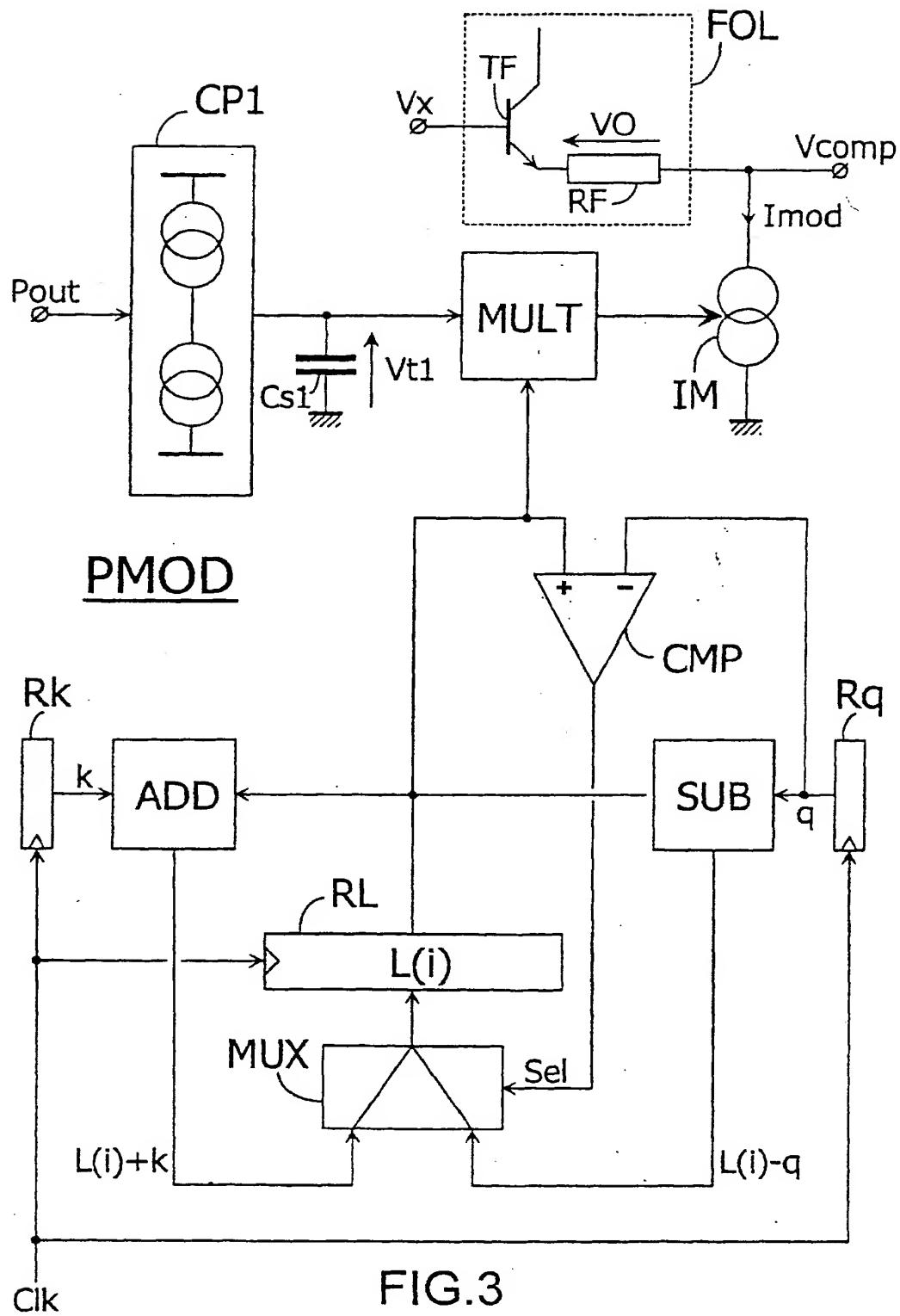


FIG.3



Office européen  
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande  
EP 01 20 0808

DOCUMENTS CONSIDERES COMME PERTINENTS			CLASSEMENT DE LA DEMANDE (Int.Cl.7)
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	
X	FR 2 474 258 A (PHILIPS NV) 24 juillet 1981 (1981-07-24) * page 1, ligne 15 - page 2, ligne 6 * * page 3, ligne 27 - ligne 32 * * page 9, ligne 22 - page 19, ligne 30; figures 2-7 *	1,5	H03L7/197 H03L7/081
A	---	2-4	
X	GB 2 150 775 A (PLESSEY CO PLC) 3 juillet 1985 (1985-07-03) * page 1, ligne 102 - page 3, ligne 9; figures *	1,5	
A	US 4 686 488 A (ATTENBOROUGH COLIN) 11 août 1987 (1987-08-11) * colonne 5, ligne 21 - colonne 9, ligne 32; figures 3-6 *	1-5	
A	GB 2 097 206 A (MARCONI CO LTD) 27 octobre 1982 (1982-10-27) * page 1, ligne 101 - page 3, ligne 84; figures *	1-5	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7)
A	COSMO LITTLE: "FRACTIONAL-N SYNTHESIS" ELECTRONICS WORLD AND WIRELESS WORLD, GB, REED BUSINESS PUBLISHING, SUTTON, SURREY, vol. 102, no. 1719, 1 février 1996 (1996-02-01), pages 130-135, XP000553560 ISSN: 0959-8332 * page 134, colonne 2, ligne 14 - colonne 3, ligne 28; figure 3 *	1-5	H03L
<p>Le présent rapport a été établi pour toutes les revendications</p>			
Lieu de la recherche		Date d'achèvement de la recherche	Examinateur
LA HAYE		10 juillet 2001	Balbinot, H
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date O : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire			

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE  
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 01 20 0808

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.

Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du  
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

10-07-2001

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)		Date de publication
FR 2474258	A	24-07-1981	GB	2068185 A	05-08-1981
			AU	537712 B	05-07-1984
			AU	6626081 A	30-07-1981
			CA	1175506 A	02-10-1984
			DE	3101589 A	28-01-1982
			DK	19381 A, B,	22-07-1981
			IT	1194019 B	31-08-1988
			JP	1754763 C	23-04-1993
			JP	4044446 B	21-07-1992
			JP	56110345 A	01-09-1981
			SE	449940 B	25-05-1987
			SE	8100243 A	22-07-1981
			US	4380743 A	19-04-1983
GB 2150775	A	03-07-1985	AUCUN		
US 4686488	A	11-08-1987	GB	2173659 A	15-10-1986
			AU	579249 B	17-11-1988
			AU	5852086 A	17-12-1987
			EP	0193273 A	03-09-1986
			JP	61245629 A	31-10-1986
GB 2097206	A	27-10-1982	AUCUN		